

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-274278

(P2001-274278A)

(43) 公開日 平成13年10月5日 (2001.10.5)

(51) Int.Cl.<sup>7</sup>

H 0 1 L 23/12

識別記号

3 0 1

F I

H 0 1 L 23/12

テームコード\* (参考)

3 0 1 J

B

審査請求 未請求 請求項の数 7 O L (全 4 頁)

(21) 出願番号 特願2000-86847 (P2000-86847)

(22) 出願日 平成12年3月27日 (2000.3.27)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 平田 誠一

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝小向工場内

(72) 発明者 高木 一考

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝小向工場内

(74) 代理人 100081732

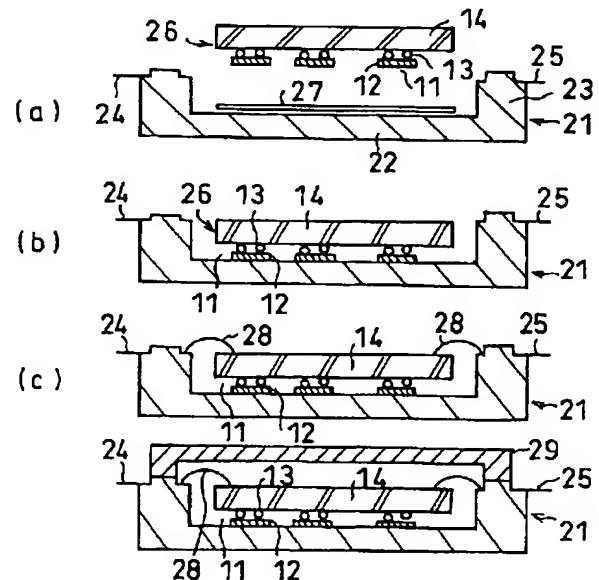
弁理士 大胡 典夫 (外2名)

(54) 【発明の名称】 マイクロ波半導体装置およびその製造方法

(57) 【要約】

【課題】 放熱特性および電気特性が良好なマイクロ波半導体装置およびその製造方法を提供すること。

【解決手段】 他の回路素子とフリップチップ接続される能動素子が半導体基板12の表面側に形成された半導体チップ11と、この半導体チップ11の半導体基板12の裏面側に搭載された基板プレート22とを具備している。



## 【特許請求の範囲】

【請求項1】 他の回路素子とフリップチップ接続される能動素子が半導体基板の表面側に形成された半導体チップと、この半導体チップの前記半導体基板の裏面側が接合された基板プレートとを具備したマイクロ波半導体装置。

【請求項2】 半導体基板の表面側に能動素子が形成された半導体チップと、フリップチップ接続により前記能動素子と電気的に接続される回路素子が所定の回路基板上に形成された回路部品と、前記半導体チップの前記半導体基板の裏面側が接合された基板プレートとを具備したマイクロ波半導体装置。

【請求項3】 能動素子と回路素子がフリップチップ接続する領域を絶縁物で封止した請求項1または請求項2記載のマイクロ波半導体装置。

【請求項4】 回路素子が受動素子である請求項1または請求項2記載のマイクロ波半導体装置。

【請求項5】 所定の回路基板が誘電体基板である請求項2記載のマイクロ波半導体装置。

【請求項6】 所定の回路基板がアルミナまたはガラスセラミックスで構成されている請求項2記載のマイクロ波半導体装置。

【請求項7】 半導体基板上に能動素子を形成した半導体チップを製造する第1工程と、この半導体チップにバンパを形成する第2工程と、前記半導体チップと所定回路基板上に回路素子を形成した回路部品とを前記バンパを利用してフリップチップ接続する第3工程と、フリップチップ接続された前記半導体チップおよび前記回路部品を、その半導体チップの側を基板プレートに接合する第4工程とからなるマイクロ波半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、マイクロ波回路用の増幅素子などを半導体基板上に形成した半導体チップをパッケージなどの基板プレート上に搭載したマイクロ波半導体装置およびその製造方法に関する。

## 【0002】

【従来の技術】マイクロ波半導体装置は、たとえば電界効果トランジスタなどの増幅素子やマイクロストリップ線路、抵抗などをGaAs半導体基板上に形成した半導体チップを、パッケージの基板プレート上に搭載して構成されている。

【0003】半導体チップを基板プレート上に搭載する場合、たとえば半導体チップ上に突出するバンパを電気めっきなどで形成し、半導体チップと基板プレートをバンパで接続する、いわゆるフリップチップ接続が用いられている。

## 【0004】

【発明が解決しようとする課題】従来のマイクロ波半導体装置は、半導体チップが発生する熱を放出するため

に、半導体チップの裏面にヒートシンクを設け、または、直接あるいは金属板を介して放熱フィンを設けている。

【0005】このような構造は、発熱量が少ない場合はウインドファンなどを用いて放熱が行える。しかし、発熱量が大きくなると、十分な放熱が行われなくなるといった問題がある。また、回路の接地も十分でなく、電気特性が劣化するという問題もある。

【0006】本発明は、上記した欠点を解決し、放熱特性および電気特性が良好なマイクロ波半導体装置およびその製造方法を提供することを目的とする。

## 【0007】

【課題を解決するための手段】本発明のマイクロ波半導体装置は、他の回路素子とフリップチップ接続される能動素子が半導体基板の表面側に形成された半導体チップと、この半導体チップの前記半導体基板の裏面側が接合された基板プレートとを具備している。

【0008】また、本発明のマイクロ波半導体装置の製造方法は、半導体基板上に能動素子を形成した半導体チップを製造する第1工程と、この半導体チップにバンパを形成する第2工程と、前記半導体チップと所定回路基板上に回路素子を形成した回路部品とを前記バンパを利用してフリップチップ接続する第3工程と、フリップチップ接続された前記半導体チップおよび前記回路部品を、その半導体チップの側を基板プレートに接合する第4工程とからなっている。

## 【0009】

【発明の実施の形態】本発明の実施形態について図1の工程図を参照して説明する。

【0010】図1(a)に示すように、半導体チップ11は、GaAsなどの半導体基板12上に電界効果トランジスタなどの能動素子が形成され、さらに、半導体チップ11上の電極面に、上方に突出する複数のバンパ13が電気めっきなどで形成されている。

【0011】次に、図1(b)に示すように、半導体チップ11が1つずつ取り出され、その後、図1(c)に示すように、共通のマイクロ波回路を構成する、たとえば3個ずつからなる半導体チップ11の組A～Cに分けられる。

【0012】次に、図1(d)に示すように、マイクロストリップ線路や抵抗などの受動素子が形成されている誘電体基板14上の複数の領域141上の所定位置に、それぞれ3個の半導体チップ11の組A～Cを順にバンパ13で接続する。

【0013】図1(e)は、誘電体基板14の1つの領域を抜き出して示した図で、誘電体基板14にマイクロストリップ線路15や抵抗16などが形成され、たとえば、マイクロストリップ線路15に3個の半導体チップ11が接続されている。

【0014】図1(f)は、図1(e)の断面図で、誘

電体基板 14 上に半導体チップ 11 がバンプ 13 で接続された状態が示されている。

【0015】次に、半導体チップ 11 を誘電体基板 14 上に接続した半導体部品を、パッケージの基板プレート上に搭載する方法について、図 2 の工程図を参照して説明する。

【0016】図 2 (a) に示すように、パッケージ 21 は金属製の基板プレート 22 や側壁 23 などから構成され、側壁 23 部分には、側壁 23 の内側と外側を電気的に接続する入力用リード端子 24 および出力用リード端子 25 が設けられている。また、半導体チップ 11 を誘電体基板 14 上に接続した半導体部品 26 が、半導体チップ 11 の側が基板プレート 22 側となるように基板プレート 22 の上方に配置される。基板プレート 22 上には銀ペースト 27 を配置する。

【0017】次に、図 2 (b) に示すように、半導体部品 26 と基板プレート 22 を銀ペースト 27 で固着する。この場合、銀ペースト 27 に代えてはんだを用いることもできる。

【0018】次に、図 2 (c) に示すように、半導体部品 26 と入力用リード端子 24 との間、および、半導体部品 26 と出力用リード端子 25 との間を、ワイヤ 28 でボンディングする。このとき、ワイヤ 28 は、誘電体基板 14 に設けられたスルホール (図示せず) を通して、半導体チップ 11 上に形成された回路と電気的に接続される。

【0019】次に、図 2 (d) に示すように、側壁 23 の開口部にセラミックなどで構成された蓋 29 を配置し、半導体部品 26 を収納したパッケージ 21 内の空間を封止する。

【0020】上記した構成によれば、半導体チップがパッケージの基板プレートに直接搭載されている。この場合、半導体チップが発生する熱はパッケージから直接放熱され、良好な放熱特性が実現される。したがって、発熱量がより大きい半導体チップを搭載することができ、また、半導体チップと基板プレートが直接接触するため、回路が確実に接地され、良好な電気特性が実現される。

【0021】また、マイクロストリップ線路や抵抗などの受動素子が形成されている誘電体基板に半導体チップを接続する構成になっている。このため、マイクロストリップ線路や抵抗などの受動素子をコストの低い誘電体基板上に形成でき、安価なマイクロ波半導体装置を実現できる。

【0022】ここで、本発明の他の実施形態について図 3 の工程図を参照して説明する。図 3 (a) は、図 1 の実施形態で説明した図 1 (d) までの工程において、マイクロストリップ線路や抵抗などの受動素子が形成されている誘電体基板 14 上の複数の領域 141 に、それぞれ半導体チップ 11 をバンプ 13 で接続した状態を示し

ている。

【0023】この実施形態は、その後、図 3 (b) に示すように、半導体チップ 11 と誘電体基板 14 上の回路素子をフリップチップ接続する領域を、ポッティング技術で樹脂などの絶縁物 31 で封止している。

【0024】この構成によれば、半導体チップと誘電体基板とをフリップチップ接続する領域の機械的強度が絶縁物 31 の封止で補強される。したがって、誘電体基板および半導体チップ、パッケージが互いに接合した後に、これらの各部材の熱膨張差によって接合部に発生する応力による半導体チップの割れなどが防止される。

【0025】なお、上記の実施形態の場合、マイクロストリップ線路や抵抗などが形成される誘電体基板の材料には、アルミナやガラスセラミックスなどが使用される。しかし、扱う周波数が高い場合には、ガラスセラミックスの方がより良好な特性が得られる。

【0026】また、上記の実施形態では、半導体基板として GaAs 基板を使用している。また、半導体基板上に電界効果トランジスタを形成し、誘電体基板上にマイクロストリップ線路や抵抗などを形成している。しかし、これらは 1 つの例であり、他の材料の半導体基板を用い、誘電体基板上にはその他の半導体素子や回路素子を形成することもできる。

【0027】

【発明の効果】本発明によれば、放熱特性および電気特性が良好なマイクロ波半導体装置およびその製造方法が実現される。

【図面の簡単な説明】

【図 1】本発明の実施形態を説明するための工程図で、半導体チップを誘電体基板上の回路素子とフリップチップ接続するまでの工程を示している。

【図 2】本発明の実施形態を説明するための工程図で、半導体チップと誘電体基板上の回路素子をフリップチップ接続した半導体部品をパッケージ内に搭載する工程を示している。

【図 3】本発明の実施形態を説明するための工程図で、半導体チップと誘電体基板上の回路素子をフリップチップ接続した領域を封止する工程を示している。

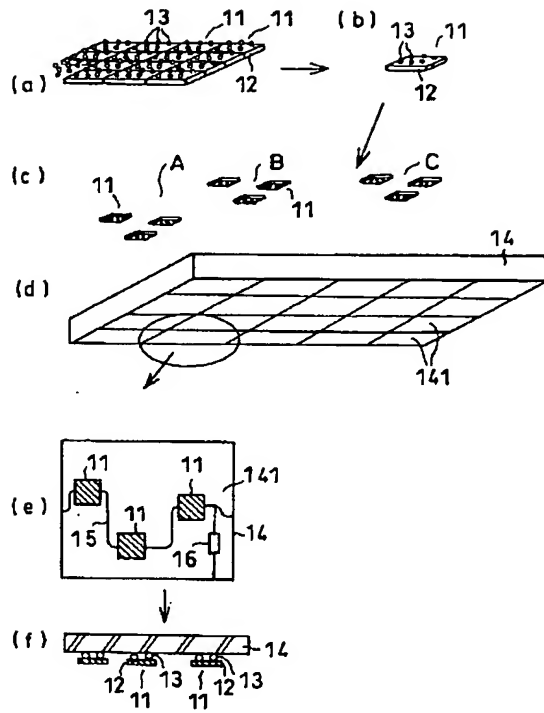
【符号の説明】

- 11…半導体チップ
- 12…半導体基板
- 13…バンプ
- 14…誘電体基板
- 141…誘電体基板の領域
- 15…マイクロストリップ線路
- 16…抵抗
- 21…パッケージ
- 22…基板プレート
- 23…側壁
- 24…入力用リード端子

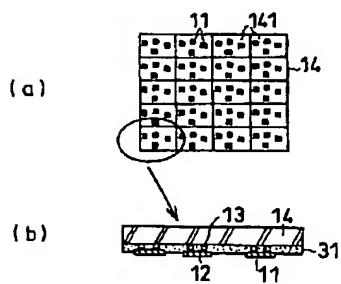
25…出力用リード端子  
26…半導体部品  
27…銀ペースト

28…ワイヤ  
29…蓋

【図1】



【図3】



【図2】

